

DELPHION

No active trail

[Select GR](#)[Select Tracking](#)[RESEARCH](#)[PRODUCTS](#)[INSIDE DELPHION](#)[Log Out](#) [Work Files](#) [Saved Searches](#)[My Account](#)

Search: Quick/Number Boolean Advanced Derwent

[Help](#)

The Delphion Integrated View

Get Now: ☒ PDF | [More choices...](#)Tools: Add to Work File: [Create new Work File](#) ☒ [Add](#)View: [INPADOC](#) | Jump to: [Top](#)☒ [Email this to a friend](#)

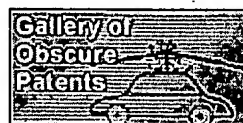
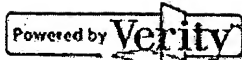
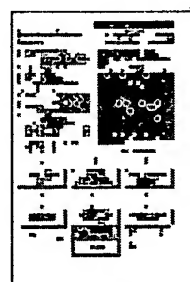
• DTWF015I: The execution of the system command failed at line 2875 with return code 512.

Title: JP2004342810A2: COMPOUND SEMICONDUCTOR DEVICE**Country: JP Japan****Kind: A2 Document Laid open to Public inspection****Inventor: KANEMURA MASAHIITO;
YOSHIKAWA SHUNEI;
TSUNENOBU KAZUKIYO;****Assignee: FUJITSU LTD**
[News, Profiles, Stocks and More about this company](#)**Published / Filed: 2004-12-02 / 2003-05-15****Application Number: JP2003000137127****IPC Code: H01L 21/338; H01L 29/778; H01L 29/812;****Priority Number: 2003-05-15 JP2003000137127**

Abstract: PROBLEM TO BE SOLVED: To provide a compound semiconductor device in which the potential of a channel is stabilized and holes accumulated in the channel can be removed efficiently in an FET (field effect transistor) having the hetero-structure of AlGaIn/GaN.

SOLUTION: A buffer layer having a P-type conductivity is epitaxially grown on a conductive substrate. An electron transit layer composed of GaN is formed on the buffer layer. An electron supply layer composed of N-type AlGaIn or N-type AlIn is formed on the electron transit layer. A gate electrode is formed on the electron supply layer. A source electrode ohmic-connected to the electron transit layer and a drain electrode are arranged on both sides of the gate electrode.

COPYRIGHT: (C)2005,JPO&NCIPI

Family: None**Other Abstract Info: DERABS C2005-017470**[Nominate](#)[this for the Gallery...](#)[View Image](#)

1 page

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-342810

(P2004-342810A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int. Cl.⁷

H01L 21/338

H01L 29/778

H01L 29/812

F I

H01L 29/80

H

テーマコード(参考)

5F102

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号

特願2003-137127(P2003-137127)

(22) 出願日

平成15年5月15日(2003.5.15)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100091340

弁理士 高橋 敬四郎

(74) 代理人 100105887

弁理士 来山 幹雄

(72) 発明者 金村 雅仁

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 吉川 俊英

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 化合物半導体装置

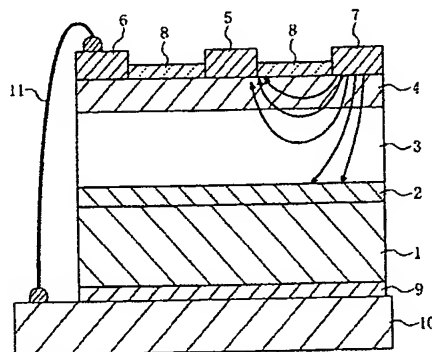
(57) 【要約】

【課題】 AlGa_N/Ga_Nのヘテロ構造を有するFETにおいて、チャネルの電位を安定させ、チャネル中に蓄積された正孔を効率的に除去することが可能な化合物半導体装置を提供する。

【解決手段】 導電性の基板の上に、P型導電性を有するバッファ層がエピタキシャル成長されている。バッファ層の上に、Ga_Nからなる電子走行層が形成されている。電子走行層の上に、N型のAlGa_NまたはN型のAl_Nからなる電子供給層が形成されている。電子供給層の上にゲート電極が形成されている。ゲート電極の両側に、電子走行層とオーミック接続されたソース電極及びドレイン電極が配置されている。

【選択図】 図1

第1の実施例



- 1: 基板
- 2: バッファ層
- 3: 電子走行層
- 4: 電子供給層
- 5: ゲート電極
- 6: ソース電極
- 7: ドレイン電極
- 10: パッケージ

【特許請求の範囲】

【請求項1】

導電性の基板と、

前記基板の上にエピタキシャル成長され、P型導電性を有するバッファ層と、

前記バッファ層の上に形成されたGa_{0.9}Nからなる電子走行層と、

前記電子走行層の上に形成されたN型のAl_{0.9}GaNまたはN型のAl_{0.9}Nからなる電子供給層と、

前記電子供給層の上に形成されたゲート電極と、

前記ゲート電極の両側に配置され、前記電子走行層とオーミック接続されたソース電極及びドレイン電極と

を有する化合物半導体装置。

【請求項2】

前記基板がSiCで形成されている請求項1に記載の化合物半導体装置。

【請求項3】

さらに、前記電子供給層の上面から、少なくとも前記基板の上面まで達する埋込電極と、

前記埋込電極を前記ソース電極に短絡させる接続部材と

を有する請求項1または2に記載の化合物半導体装置。

【請求項4】

前記埋込電極が、前記ソース電極を挟んで前記ゲート電極とは反対側に配置されており、

さらに、前記埋込電極と前記電子供給層との界面に、P型導電性が付与された不純物拡散領域が配置されている請求項3に記載の化合物半導体装置。

【請求項5】

前記電子走行層が、P型不純物をドーピングされたP型領域を含み、該P型領域は、前記電子供給層との界面から離れた位置に配置され、前記電子走行層の底面まで達する請求項1～4のいずれかに記載の化合物半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、化合物半導体装置に関し、特に電子走行層にGa_{0.9}Nを用い、電子供給層にAl_{0.9}GaNまたはAl_{0.9}Nを用いた電界効果トランジスタ(FET)に関する。

【0002】

【従来の技術】

近年、サファイアやSiC等の基板を用い、Al_{0.9}GaN/GaNヘテロ構造を有する2次元電子ガスを利用したFETの開発が活発になってきている。Ga_{0.9}Nのバンドギャップは3.4eVと大きいため、半導体装置にGa_{0.9}Nを用いることにより、破壊電圧を高くし、高電圧動作を可能にすることができる。

【0003】

図6に、従来のAl_{0.9}GaN/GaN系FETの断面図を示す。サファイアまたは半絶縁性のSiCからなる基板101の上に、Al_{0.9}GaNバッファ層102、Ga_{0.9}N電子走行層103、N型Al_{0.9}GaN電子供給層104がこの順番に積層されている。

【0004】

電子走行層104の上に、ショットキゲート電極105が形成され、その両側にソース電極106及びドレイン電極107が形成されている。電子供給層104の表面のうち、ゲート電極105とソース電極106との間の領域、及びゲート電極105とドレイン電極107との間の領域は、保護膜108で被覆されている。

【0005】

基板101の底面に金属層109が形成され、金属層109がパッケージ100に密着している。ソース電極106とパッケージ100とがワイヤ111で電気的に接続されている。パッケージ100は接地されている。

【0006】

基板101の底面に形成された金属層109がパッケージ100を介して接地される。ドレイン電圧が変動すると、ドレイン電極107から出る電気力線の数が変動する。基板101が半絶縁性であるため、基板101内に侵入する電気力線の数も変動してしまう。これは、ゲート電極105直下の電子走行層103の電位が安定しないことを意味する。

【0007】

基板101と電子走行層103との大きな格子不整合を緩和させ、密着性を高めるために、バッファ層102が挿入されている。ところが、バッファ層102内に多数の欠陥が存在し、結果として多くのトラップ準位が形成される。また、バッファ層102も、電子走行層103の電位を不安定にする要因になる。

【0008】

ソース電極106とドレイン電極107との間に電圧を印加した時、ドレイン電極107から発生する電気力線がゲート電極105の端部に集中し、耐圧が低下してしまう。

【0009】

高電圧動作時に加速された電子が、価電子帯の電子を励起する（衝突イオン化）ことにより、電子走行層103内に電子正孔対が生成される。生成された正孔の一部はゲート電極105に流れるが、チャンネルに蓄積された正孔がチャンネルの電子を増加させるという正帰還現象が起こる。この正帰還現象による絶縁破壊の発生が懸念される。

【0010】

バンドギャップの大きなGaNは、衝突イオン化が生じにくいという点で有利であるが、絶縁破壊の発生を防止するために、チャンネル内への正孔の蓄積を抑制することが好ましい。シリコンを用いたMOSFETの場合には、シリコンのバンドギャップが1.1eVと小さいにもかかわらず、P型層の導入やP型基板を用いて、正孔をチャンネルから効率的に除去することにより高電圧動作を実現している。

【0011】

ところが、基板101が半絶縁性であるため、電子走行層103内の正孔を効率的に引き抜くことが困難である。

【0012】

【非特許文献1】

A. T. Ping et. al., DC and Microwave Performance of High-Current AlGa_N/Ga_N Heterostructure Field Effect Transistors Grown on p-Type SiC Substrates, IEEE Electron Device Letters, February 1998, Vol. 19, No. 2, p. 54-57

【0013】

【発明が解決しようとする課題】

本発明の目的は、AlGa_N/Ga_Nのヘテロ構造を有するFETにおいて、チャンネルの電位を安定させ、チャンネル中に蓄積された正孔を効率的に除去することが可能な化合物半導体装置を提供することである。

【0014】

【課題を解決するための手段】

本発明の一観点によると、導電性の基板と、前記基板の上にエピタキシャル成長され、P型導電性を有するバッファ層と、前記バッファ層の上に形成されたGaNからなる電子走行層と、前記電子走行層の上に形成されたN型のAlGa_NまたはN型のAlNからなる電子供給層と、前記電子供給層の上に形成されたゲート電極と、前記ゲート電極の両側に配置され、前記電子走行層とオーミック接続されたソース電極及びドレイン電極とを有する化合物半導体装置が提供される。

【0015】

導電性の基板及びバッファ層を用いているため、絶縁性または半絶縁性の基板やバッファ層を用いる場合に比べて、電子走行層の電位を安定させることができる。また、バッファ

層をP型にしているため、電子走行層内で発生した正孔を、基板に引き抜くことができる。

【0016】

【発明の実施の形態】

図1に、第1の実施例による化合物半導体装置（HEMT）の断面図を示す。P型導電性のSiCからなる基板1の主面上に、P型AlGa_{0.25}Nからなる厚さ300nmのバッファ層2が形成されている。バッファ層2のP型ドーパントはMgであり、その濃度は例えば $2 \times 10^{17} \text{ cm}^{-3}$ である。

【0017】

バッファ層2の上に、アンドープのGa_{0.25}Nからなる厚さ3μmの電子走行層3が形成されている。その上に、N型Al_{0.25}Ga_{0.75}Nからなる厚さ20nmの電子供給層4が形成されている。電子供給層4のドーパントはSiであり、その濃度は例えば $2 \times 10^{18} \text{ cm}^{-3}$ である。これらの層は、公知の有機金属化学気相成長（MOCVD）により堆積させることができる。

【0018】

電子供給層4の一部の領域上にゲート電極5が形成されている。ゲート電極5は、Ni層とAu層とがこの順番に積層された2層構造を有し、電子供給層4にショットキ接触する。ゲート電極5の両側に、ゲート電極5から間隔を隔ててソース電極6及びドレイン電極7が配置されている。ソース電極6及びドレイン電極7は、Ti層とAl層とがこの順番に積層された2層構造を有し、電子走行層3とオーミックに接続されている。

【0019】

電子供給層4の表面のうち、ゲート電極5とソース電極6との間の領域、及びゲート電極5とドレイン電極7との間の領域が、窒化ケイ素（SiN）からなる保護膜8で覆われている。

【0020】

以下、ゲート電極5、ソース電極6、ドレイン電極7、及び保護膜8の形成方法について説明する。電子供給層4の表面上にレジスト膜を形成し、ソース電極6及びドレイン電極7を配置すべき位置に開口を形成する。Ti層及びAl層を順番に蒸着し、レジスト膜を除去する。これにより、ソース電極6及びドレイン電極7が残る。450～900℃で熱処理を行い、オーミック接触を得る。

【0021】

全面上に、CVDにより厚さ20nmの窒化シリコン膜を堆積させる。この窒化シリコン膜上にレジスト膜を形成し、ゲート電極5を配置すべき領域に開口を形成する。レジスト膜をエッチングマスクとし、ゲート電極5を配置すべき領域の窒化シリコン膜をエッチングする。全面にNi層とAu層とを順番に蒸着する。レジスト膜を除去し、ゲート電極5を残す。

【0022】

基板1の底面上に、金属層9が形成されている。金属層9は、Ti層とAu層との2層構造を有し、蒸着により形成される。金属層9を蒸着する時には、ゲート電極5、ソース電極6及びドレイン電極7が形成されている面をレジスト膜で覆っておく。

【0023】

このHEMTは、金属層9がパッケージ10に密着するように、パッケージ10に搭載されている。ソース電極6がワイヤ11によりパッケージ10に接続されている。

【0024】

第1の実施例では、基板1としてP型導電性を有するSiCが使用されている。また、基板1と電子走行層3との間に配置されたバッファ層2もP型導電性を有する。電子走行層3が、バッファ層2、基板1、及び金属層9を介してパッケージ10に接続されるため、電子走行層3の電位を安定させることができる。電子走行層3の電位の十分な安定化効果を得るために、基板1の厚さを200μm以下にすることが好ましい。また、基板を薄くすることは、放熱の点でも有効である。放熱の点で、基板1の厚さを100μm以下にす

ることがより好ましい。なお、P型SiC基板1の抵抗率は、 $0.1 \sim 100000 \Omega \cdot \text{cm}$ の範囲である。

【0025】

ドレイン電極7から発生した電気力線の一部はゲート電極5に達するが、大部分の電気力線は導電性のバッファ層2や基板1で終端される。このため、ゲート電極5への電気力線の集中が緩和され、電気力線の集中による耐圧の低下を防止することができる。

【0026】

基板1がP型SiCで形成されているため、半絶縁性SiCを用いた場合に比べて、電子走行層3と電子供給層4との界面に形成される2次元電子ガス層内の電子から基板1側を見た時のポテンシャル障壁が高くなる。このため、2次元電子ガス層から電子が漏れることなく、ドレインまで到達する。逆に、電子走行層3内に発生した正孔は、基板1に移動しやすくなる。このため、電子走行層3内への正孔の蓄積を抑制することができる。これにより、ピンチオフ特性が改善され、破壊耐圧が大きくなり、より高電圧動作を実現することが可能になる。

【0027】

一般に、P型SiC基板は、半絶縁性のSiC基板に比べて欠陥（マイクロパイプ）密度が低い。基板1の材料としてP型SiCを用いることにより、欠陥を介したリーク電流を低減させることができる。

【0028】

SiC基板上にInAlGa_N層を成長させると、格子定数の相違に起因する歪により、成長初期は平坦な2次元成長ではなく、島状の3次元成長になる。通常は、この層をバッファ層として、その上に電子走行層を成長させる。しかし、このバッファ層にはN原子の格子位置に発生する空孔による準位（伝導帯下端から0.8V程度低いトラップ準位）や、Al原子やGa原子の格子位置に発生する空孔による準位（価電子帯上端から0.5V程度高いトラップ準位）等が含まれる。これらの準位にキャリアが出入りすると、バッファ層の電位が変動する。このキャリアの出入りはフェルミ準位が移動することに対応する。

【0029】

バッファ層の成長の際にMg、Zn、C等のP型ドーパントをドーブすると、フェルミ準位が価電子帯側に移動する。P型ドーパントの濃度によっては、フェルミ準位が価電子帯の中に存在することもある。これにより発生する多数の正孔（正孔濃度は、欠陥準位密度よりも十分高い）が、価電子帯側の欠陥準位を常時埋めることにより、キャリアの出入りが起こらないようにする。伝導帯側の欠陥準位は、少数キャリアである電子を放出しており、空きのままである。結果として、バッファ層の電位が安定する。

【0030】

図2に、電子走行層3の厚さと2GHzにおけるHEMTの利得との関係を示す。横軸は電子走行層の厚さを単位「 μm 」で表し、縦軸は利得を単位「dB」で表す。なお、図2にプロットされた利得は、図1に示した基板1の厚さを $300 \mu\text{m}$ 、比誘電率を10、電子走行層3の比誘電率を9、ゲート電極5に接続されたパッドの形状を $100 \mu\text{m} \times 100 \mu\text{m}$ の正方形として計算により求めたものである。バッファ層3は形成されていないものとして計算を行った。

【0031】

電子走行層3が薄くなると、ゲートパッドと基板との間の寄生容量が大きくなるため、利得が低下する。電子走行層3の厚さが $3 \mu\text{m}$ 以上の領域では、基板が半絶縁性である場合とほぼ同等の利得が得られている。電子走行層3の厚さを $3 \mu\text{m}$ 以上にするにより、基板1をP型にしたことによる高周波特性の悪化を防止することができる。

【0032】

次に、第2の実施例について説明する。上記第1の実施例では、基板1の材料としてP型SiCを用いたが、第2の実施例ではN型のSiCを用いる。その他の構成は、第1の実施例による半導体装置の構成と同様である。

【0033】

基板1がN型SiCで形成されていても、バッファ層2はP型であるため、電子走行層3と電子供給層4との界面に形成される2次元電子ガス層内の電子から基板1側を見たときのポテンシャル障壁が高くなる。このため、2次元電子ガス層から電子が漏れることなく、ドレインまで到達する。

【0034】

電子走行層3内で発生した正孔は、P型のバッファ層2に向かって移動する。バッファ層2に到達した正孔は、バッファ層2と基板1との界面のPN接合部で電子と再結合する。このため、基板1をP型SiCで形成した場合と同様の効果を得ることができる。また、P型バッファ層2は、N型の基板1から電子走行層3へ電子が注入されることを防止する。

【0035】

一般に、N型SiC基板は、半絶縁性のSiC基板に比べて欠陥（マイクロパイプ）密度が低い。基板1の材料としてN型SiCを用いることにより、欠陥を介したリーク電流を低減させることができる。

【0036】

また、一般的なP型SiC基板の抵抗率は $0.1 \sim 100000 \Omega \text{cm}$ であるのに対し、N型SiC基板の抵抗率は $0.001 \sim 1 \Omega \text{cm}$ である。抵抗率の低いN型SiC基板を用いることにより、電子走行層の電位安定性をより高めることができる。

【0037】

図3に、第3の実施例による化合物半導体装置の断面図を示す。基板1から電子供給層4までの積層構造、ゲート電極5、ソース電極6、ドレイン電極7、及び保護膜8の構成は、図1に示した第1の実施例による化合物半導体装置の構成と同一である。

【0038】

第3の実施例では、ソース電極6の横（ゲート電極5とは反対側）に、埋込電極15が配置されている。埋込電極15は、例えばAlで形成され、電子供給層4の上面からP型SiC基板1の上面まで達する。埋込電極15と電子走行層3との界面、特にゲート電極5側の界面に、ZnがドーピングされたP型の不純物拡散領域16が形成されている。

【0039】

以下、埋込電極15及び不純物拡散領域16の形成方法について説明する。ソース電極6及びドレイン電極7を形成してオーミック接触をとるための熱処理を行った後、全面にレジスト膜を形成し、埋込電極15を配置すべき領域に開口を形成する。レジスト膜をエッチングマスクとして、基板1の上面までエッチングし、凹部を形成する。この凹部内を埋め込むようにAl層を蒸着し、レジスト膜を除去する。

【0040】

新たにレジスト膜を形成し、埋込電極15の近傍に開口を形成する。この開口を通してZnイオンを注入し、不純物拡散領域16を形成する。Znイオンの注入後、活性化のための熱処理を行う。その後、第1の実施例の場合と同様に、保護膜8、ゲート電極5、及び金属層9を形成する。

【0041】

金属層9がパッケージ10に密着するように、FETがパッケージ10に搭載されている。ソース電極6と埋込電極15とがワイヤ17で接続され、埋込電極15がワイヤ18でパッケージ10に接続されている。

【0042】

第3の実施例による半導体装置においては、衝突イオン化により電子走行層3内で発生した正孔が、P型不純物拡散領域16及び埋込電極15を介して基板1に流れる。このため、電子走行層3内への正孔の蓄積を抑制することができる。

【0043】

図4に、第4の実施例による化合物半導体装置の断面図を示す。第4の実施例による半導体装置においては、図1に示した第1の実施例による半導体装置のP型AlGaInバッファ

ァ層2とGaN電子走行層3との間に、P型GaN層21が挿入されている。P型GaN層21の厚さは例えば100nmであり、P型不純物であるMgの濃度は例えば $2 \times 10^{17} \text{ cm}^{-3}$ である。その他の構成は、第1の実施例による半導体装置の構成と同様である。

【0044】

電子走行層3の下にP型GaN層21を配置することにより、電子走行層3と電子供給層4との界面への電子の閉じ込め効果を高めることができる。さらに、電子走行層3内で発生した正孔を、P型GaN層21を介して効果的に引き抜くことができる。

【0045】

図5に、第5の実施例による化合物半導体装置の断面図を示す。第5の実施例による半導体装置においては、電子走行層3の一部に、ZnがドーパされたP型領域22が形成されている。P型領域22は、電子走行層3と電子供給層4との界面からある間隔だけ隔てられており、P型AlGaAsバッファ層2に接触している。また、基板1の表面の法線に平行な視線で見たとき、P型領域22は、ゲート電極5とドレイン電極7との間に配置されている。

【0046】

P型領域22は、電子走行層3を成長させた後、その深層部にZnイオンを注入し、活性化のための熱処理を行うことにより形成される。P型領域22を形成した後、電子走行層3の上に電子供給層4を堆積させる。その後の工程は、第1の実施例による半導体装置の製造工程と同様である。

【0047】

第5の実施例では、P型領域22が一部分にのみ配置されているため、全面に配置される場合に比べてゲート容量の増加を抑制することができる。また、P型領域22が、ゲート電極5とドレイン電極7との間に配置されているため、ドレイン電極7から出た電気力線の多くがP型領域22で終端され、ゲート電極5への電気力線の集中を抑制することができる。

【0048】

上記第1～第5の実施例では、バッファ層2をP型AlGaNで形成したが、P型AlNで形成してもよい。バッファ層2は、基板1と電子走行層3との格子不整合を緩和させる機能を有する。このため、バッファ層2の材料として、電子走行層3の格子定数と等しい格子定数を有するものを用いることが好ましい。なお、基板1の格子定数と電子走行層3の格子定数との中間の格子定数を有する材料を用いても、格子不整合を緩和させることが可能である。

【0049】

電子供給層4を、N型AlGaNの代わりにN型AlNで形成してもよい。また、上記第1～第5の実施例では、導電性のSiCからなる基板1を用いたが、AlGaN/GaNヘテロ構造を成長させることが可能なその他の金属基板、例えばZrB₂基板等を用いることも可能である。

【0050】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0051】

上記実施例から、以下の付記に示された発明が導出される。

(付記1) 導電性の基板と、

前記基板の上にエピタキシャル成長され、P型導電性を有するバッファ層と、

前記バッファ層の上に形成されたGaNからなる電子走行層と、

前記電子走行層の上に形成されたN型のAlGaNまたはN型のAlNからなる電子供給層と、

前記電子供給層の上に形成されたゲート電極と、

前記ゲート電極の両側に配置され、前記電子走行層とオーミック接続されたソース電極及

びドレイン電極と

を有する化合物半導体装置。

【0052】

(付記2) 前記基板がSiCで形成されている付記1に記載の化合物半導体装置。

(付記3) さらに、前記電子供給層の上面から、少なくとも前記基板の上面まで達する埋込電極と、

前記埋込電極を前記ソース電極に短絡させる接続部材と

を有する付記1または2に記載の化合物半導体装置。

【0053】

(付記4) 前記埋込電極が、前記ソース電極を挟んで前記ゲート電極とは反対側に配置されており、

さらに、前記埋込電極と前記電子供給層との界面に、P型導電性が付与された不純物拡散領域が配置されている付記3に記載の化合物半導体装置。

【0054】

(付記5) 前記電子走行層が、P型不純物をドーパされたP型領域を含み、該P型領域は、前記電子供給層との界面から離れた位置に配置され、前記電子走行層の底面まで達する付記1～4のいずれかに記載の化合物半導体装置。

【0055】

(付記6) 前記P型領域が、前記ゲート電極と前記ドレイン電極との間に配置されている付記5に記載の化合物半導体装置。

(付記7) 前記基板と前記電子走行層との間に、P型導電性のGaNからなる層が配置されている付記1～4のいずれかに記載の化合物半導体装置。

【0056】

(付記8) 前記電子走行層の厚さが3 μ m以上である付記1～7のいずれかに記載の化合物半導体装置。

(付記9) 前記基板の厚さが100 μ m以下である付記1～8のいずれかに記載の化合物半導体装置。

【0057】

(付記10) 前記基板の抵抗率が0.001～100000 Ω cmである付記1～9のいずれかに記載の化合物半導体装置。

【0058】

【発明の効果】

以上説明したように、本発明によれば、導電性の基板を用いることにより、電子走行層の電位を安定化させることができる。また、基板と電子走行層との間にP型のバッファ層を配置することにより、電子走行層内の電子が基板に漏れてしまうことを防止することができる。

【図面の簡単な説明】

【図1】第1の実施例による半導体装置の断面図である。

【図2】電子走行層の厚さと利得との関係を示すグラフである。

【図3】第3の実施例による半導体装置の断面図である。

【図4】第4の実施例による半導体装置の断面図である。

【図5】第5の実施例による半導体装置の断面図である。

【図6】従来のAlGaN/GaNヘテロ構造を有する半導体装置の断面図である。

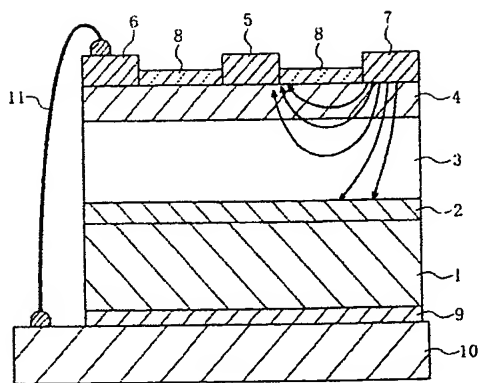
【符号の説明】

- 1 基板
- 2 バッファ層
- 3 電子走行層
- 4 電子供給層
- 5 ゲート電極
- 6 ソース電極

- 7 ドレイン電極
- 8 保護膜
- 9 金属層
- 10 パッケージ
- 11、17、18 ワイヤ
- 15 埋込電極
- 16 P型不純物拡散領域
- 21 P型Ga_{0.5}In_{0.5}N層
- 22 P型領域

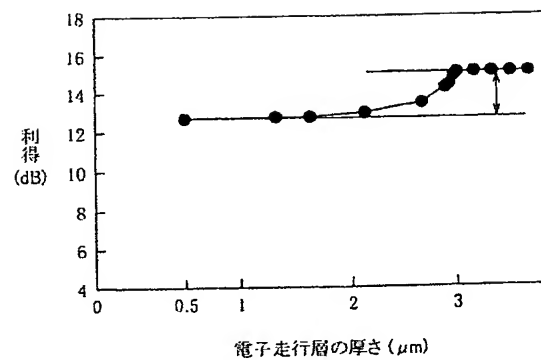
【図1】

第1の実施例



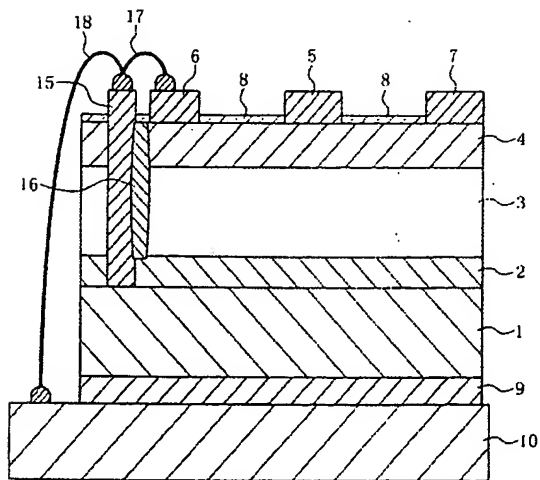
- 1: 基板
- 2: バッファ層
- 3: 電子走行層
- 4: 電子供給層
- 5: ゲート電極
- 6: ソース電極
- 7: ドレイン電極
- 10: パッケージ

【図2】



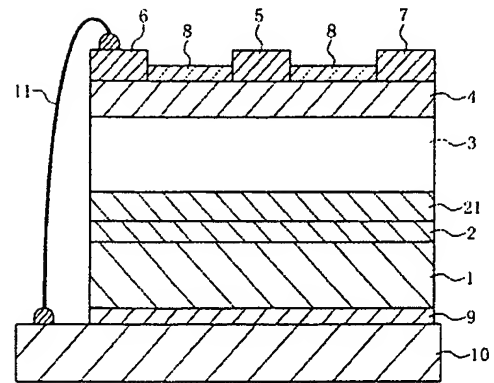
【図3】

第3の実施例



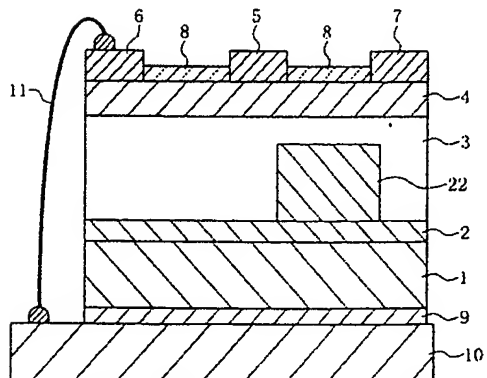
【図4】

第4の実施例



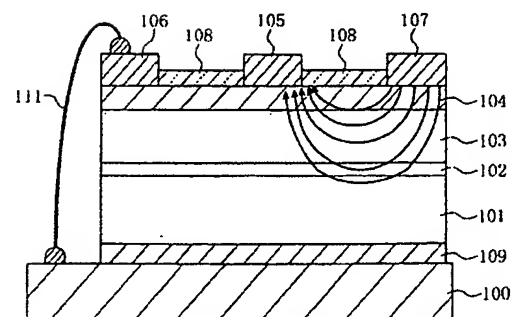
【図5】

第5の実施例



【図6】

従来例



(72)発明者 常信 和清

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5F102 FA00 GB01 GC01 GD01 GJ02 GJ10 GK00 GK04 GL04 GM04
GQ01 GR13 GS01 GT01 GV08 HC11